

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266435

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H03K 3/286

H03K 3/289

H03K 19/086

(21)Application number : 08-074093

(71)Applicant : NEC CORP

(22)Date of filing : 28.03.1996

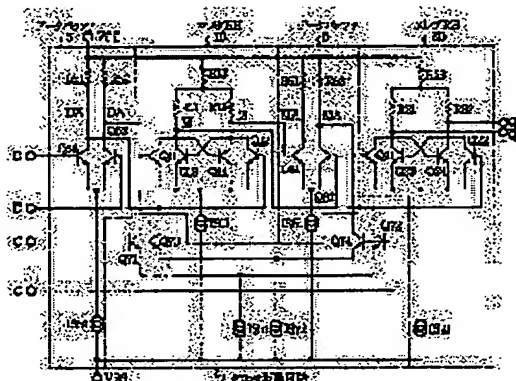
(72)Inventor : ASAZAWA HIROSHI
YOSHIDA ATSUSHI
UEMURA MICHIIKO

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a low voltage operation by providing a pull-down function to decrease the level of true/complementary input data of a latch hold circuit in response to supply of true/complementary clocks to a clock drive circuit.

SOLUTION: Input data D, DB are amplified by transistors(TRs) Q51, Q52 of a data buffer 5 and amplified data DAB, DA are generated. When the clock C is at L and the clock CB is at H, TRs Q72, Q74 are conductive and TRs Q71, Q73 are nonconductive and TRs Q11, Q12 are respectively conductive or nonconductive depending on level of the amplified data DAB, DA to latch data. Conversely, when the clock C is at H and the clock CB is at C, TRs Q71, Q73 are conductive and TRs Q72, Q74 are nonconductive and TRs Q11, Q12 are respectively nonconductive depending on level of the amplified data DAB, DA to be pulled down and at L level to hold data.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平9-266435

(43) 公開日 平成9年(1997)10月7日

(51) Int. Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 3 K	3/286		H 0 3 K	3/286	F
	3/289			3/289	A
	19/086			19/086	

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平8-74093

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅沢 博

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 吉田 淳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 植村 吾彦

東京都港区芝五丁目7番1号 日本電気株式会社内

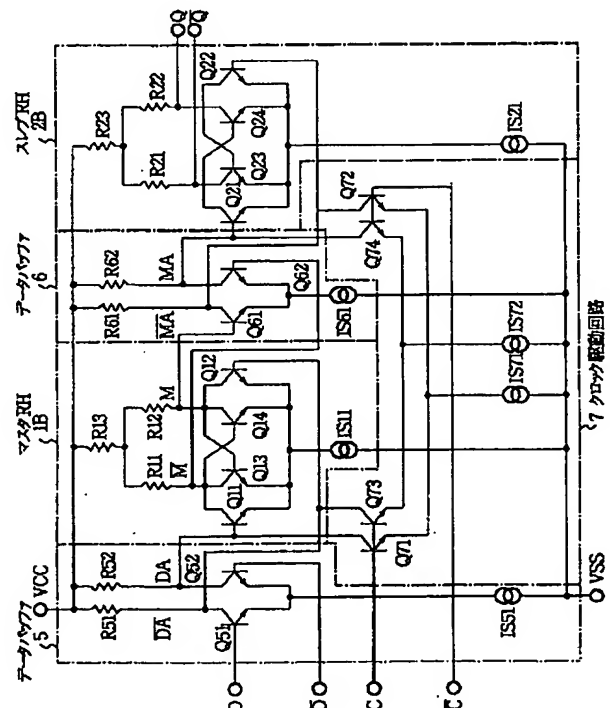
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【課題】 バイポーラトランジスタで構成したフリップフロップの動作電圧を1V以下に低減する。

【解決手段】 ラッチホールド回路1B、2Bが、データをラッチホールドし電源VCC、VSS間に縦積みトランジスタ数が一段のみのトランジスタQ11~Q14、Q21~Q24から成る差動対を備え、クロックC、CBの各々の供給にตอบสนองしてデータDA、DABの各々の電位レベルを下げるトランジスタQ71、Q73と、クロックCB、Cの各々の供給にตอบสนองしてデータMA、MABの各々の電位レベルを下げるトランジスタQ72、Q74とを含みプルダウン機能を有するクロック駆動回路7を備える。



【特許請求の範囲】

【請求項 1】 真補のクロックに同期して真補の入力データをラッチあるいはホールドし真補のマスターデータを出力する第 1 のラッチホールド回路と、前記真補のクロックに同期して前記真補のマスターデータ対応の真補のスレブ入力データをラッチあるいはホールドし真補の出力データを出力する第 2 のラッチホールド回路と、前記真補のクロックの供給にตอบสนองして前記第 1、第 2 のラッチホールド回路が同期動作を行うよう駆動するクロック駆動回路とを備えるフリップフロップ回路において、

前記第 1 のラッチホールド回路が、エミッタを共通接続し各々のベースに前記真補の入力データの各々の供給を受ける第 1、第 2 のトランジスタと、エミッタを相互に共通接続するとともに前記第 1、第 2 のトランジスタのエミッタ共通接続点とも共通接続し各々のコレクタを前記第 1、第 2 のトランジスタのコレクタと共通接続するとともにたすき掛けに相互のベースに接続した第 3、第 4 のトランジスタと、前記第 1～第 4 のトランジスタのエミッタ共通接続点と第 1 の電源との間に接続した第 1 の定電流源と、各々の一端がそれぞれ前記真補のマスターデータを出力する第 1、第 3 のトランジスタのコレクタ共通接続点および第 2、第 4 のトランジスタのコレクタ共通接続点の各々に他端を第 2 の電源に接続した第 1、第 2 の抵抗とを備え、

前記第 2 のラッチホールド回路が、エミッタを共通接続し各々のベースに前記真補のスレブ入力データの各々の供給を受ける第 5、第 6 のトランジスタと、エミッタを相互に共通接続するとともに前記第 5、第 6 のトランジスタのエミッタ共通接続点とも共通接続し各々のコレクタを前記第 5、第 6 のトランジスタのコレクタと共通接続するとともにたすき掛けに相互のベースに接続した第 7、第 8 のトランジスタと、前記第 5～第 8 のトランジスタのエミッタ共通接続点と前記第 1 の電源との間に接続した第 2 の定電流源と、各々の一端がそれぞれ前記真補の出力データを出力する第 5、第 7 のトランジスタのコレクタ共通接続点および第 6、第 8 のトランジスタのコレクタ共通接続点の各々に他端を前記第 2 の電源に接続した第 3、第 4 の抵抗とを備え、

前記クロック駆動回路が、前記真補のクロックの各々の供給にตอบสนองして前記真補の入力データの各々の電位レベルを引下げ前記真補のクロックの各々の供給にตอบสนองして前記真補のマスターデータの各々の電位レベルを引下げるブルダウン回路を備えることを特徴とするフリップフロップ回路。

【請求項 2】 前記第 1 のラッチ回路が、前記第 1、第 2 の抵抗の他端を共通接続しこの共通接続点と前記第 2 の電源との間に挿入した第 5 の抵抗を備え、

前記第 2 のラッチ回路が、前記第 3、第 4 の抵抗の他端を共通接続しこの共通接続点と前記第 2 の電源との間に挿入した第 6 の抵抗を備えることを特徴とする請求項 1

記載のフリップフロップ回路。

【請求項 3】 前記クロック駆動回路が、エミッタを共通接続し各々のベースに前記真補のクロックの各々の供給を受け各々のコレクタをそれぞれ前記第 1、第 5 のトランジスタのベースに接続した第 9、第 10 のトランジスタと、

エミッタを共通接続し各々のベースに前記真補のクロックの各々の供給を受け各々のコレクタをそれぞれ前記第 2、第 6 のトランジスタのベースに接続した第 11、第 12 のトランジスタと、

前記第 9、第 10 のトランジスタのエミッタ共通接続点および前記第 11、第 12 のトランジスタのエミッタ共通接続点の各々と前記第 1 の電源との間に接続した第 3、第 4 の定電流源とを備えることを特徴とする請求項 1 記載のフリップフロップ回路。

【請求項 4】 真補の供給データの各々を増幅して前記真補の入力データを前記第 1 のラッチホールド回路に供給する第 1 のデータバッファと、

前記真補のマスターデータの各々を増幅して前記真補のスレブ入力データを前記第 2 のラッチホールド回路に供給する第 2 のデータバッファとを備えることを特徴とする請求項 1 記載のフリップフロップ回路。

【請求項 5】 前記第 1 のデータバッファが、エミッタを共通接続し各々のベースに前記真補の供給データの各々の供給を受け各々のコレクタから前記真補の入力データの各々を出力する第 13、第 14 のトランジスタと、前記第 13、第 14 のトランジスタの各々のコレクタと前記第 2 の電源との間に接続した第 7、第 8 の抵抗と、前記第 13、第 14 のトランジスタのエミッタ共通接続点と前記第 1 の電源との間に接続した第 5 の定電流源とを備え、

前記第 2 のデータバッファが、エミッタを共通接続し各々のベースに前記真補のマスターデータの各々の供給を受け各々のコレクタから前記真補のスレブ入力データの各々を出力する第 15、第 16 のトランジスタと、前記第 15、第 16 のトランジスタの各々のコレクタと前記第 2 の電源との間に接続した第 9、第 10 の抵抗と、前記第 15、第 16 のトランジスタのエミッタ共通接続点と前記第 1 の電源との間に接続した第 6 の定電流源とを備えることを特徴とする請求項 1 記載のフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフリップフロップ回路に関し、特に 2V 以下の低電圧動作の差動型のフリップフロップ回路に関する。

【0002】

【従来の技術】 従来の一般的なこの種のフリップフロップ回路の一例を回路図で示す図 8 を参照すると、この従来の第 1 のフリップフロップ回路は、真（正相）補（逆

3

相) バッファドクロックBC, 反転BC (以下CB図ではオーバーで示す) に同期して真補のデータD, DBをラッチあるいはホールドし真補のマスターデータM, MBを出力するマスタフリップフロップであるマスタラッチ/ホールド回路(RH) 1と、バッファドクロックBC, BCBに同期してマスターデータM, MBのラッチ/ホールドし真補の出力データQ, QBを出力するスレブRH 2と、真補のクロックC, CBをバッファリングしてバッファドクロックBC, BCBをマスターRH 1, スレブRH 2にそれぞれ供給するクロックバッファ3とを備える。

【0003】マスタRH 1は、エミッタを共通接続し各々のベースにデータD, DBの供給を受けるトランジスタQ 1 1, Q 1 2と、エミッタを共通接続し各々のコレクタをトランジスタQ 1 1, Q 1 2のコレクタと共通接続するとともにたすき掛けに相手のベースに接続したトランジスタQ 1 3, Q 1 4と、エミッタを共通接続し各々のコレクタをトランジスタQ 1 3, Q 1 4のエミッタ共通接続点およびトランジスタQ 1 1, Q 1 2のエミッタ共通接続点の各々に接続し各々のベースにバッファドクロックBC, BCBの供給を受けるトランジスタQ 1 5, Q 1 6とからダブルバランス型差動回路(ギルバート回路)を構成し、それぞれマスターデータMB, Mを出力するトランジスタQ 1 1, Q 1 3のコレクタ共通接続点およびトランジスタQ 1 2, Q 1 4のコレクタ共通接続点の各々と電源VCCとの間にそれぞれ接続した抵抗R 1 1, R 1 2と、トランジスタQ 1 5, Q 1 6のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS 1 1とを備える。

【0004】スレブRH 2は、エミッタを共通接続し各々のベースにマスターデータM, MBの供給を受けるトランジスタQ 2 1, Q 2 2と、エミッタを共通接続し各々のコレクタをトランジスタQ 2 1, Q 2 2のコレクタと共通接続するとともにたすき掛けに相手のベースに接続したトランジスタQ 2 3, Q 2 4と、エミッタを共通接続し各々のコレクタをトランジスタQ 2 3, Q 2 4のエミッタ共通接続点およびトランジスタQ 2 1, Q 2 2のエミッタ共通接続点の各々に接続し各々のベースにバッファドクロックBC, BCBの供給を受けるトランジスタQ 2 5, Q 2 6とからダブルバランス型差動回路を構成し、それぞれ出力データQB, Qを出力するトランジスタQ 2 1, Q 2 3のコレクタ共通接続点およびトランジスタQ 2 2, Q 2 4のコレクタ共通接続点の各々と電源VCCとの間にそれぞれ接続した抵抗R 2 1, R 2 2と、トランジスタQ 2 5, Q 2 6のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS 2 1とを備える。

【0005】クロックバッファ3は、各々のベースにクロックC, CBの供給を受け各々のコレクタを電源VCCに接続し各々のエミッタがそれぞれバッファドクロ

4

ックBC, BCBを出力するエミッタフロウを構成するトランジスタQ 3 1, Q 3 2と、トランジスタQ 3 1, Q 3 2の各々のエミッタと電源VSSとの間にそれぞれ接続した定電流源IS 3 1, IS 3 2とを備える。

【0006】次に、図8を参照して、従来の第1のフリップフロップ回路の動作について説明すると、真クロックCがHレベル、補クロックCBがLレベルのとき、マスターRH 1, スレブRH 2の各々のトランジスタQ 1 5, Q 2 6がオン、トランジスタQ 1 6, Q 2 5がオフとなる。このためマスターRH 1はホールド状態、スレブRHはラッチ状態となる。逆に、クロックCがLレベル、クロックCBがHレベルのとき、トランジスタQ 1 5, Q 2 6がオフ、トランジスタQ 1 6, Q 2 5がオンとなり、マスターRH 1はラッチ状態、スレブRHはホールド状態となる。このようにして、この回路はフリップフロップ動作を行う。

【0007】クロックバッファ3のトランジスタQ 3 1, 3 2から成るエミッタフロウは、ダブルバランス型差動回路のデータ処理用の上段差動回路を構成するトランジスタQ 1 1~Q 1 4, Q 2 1~Q 2 4に対し、クロック駆動用の下段差動回路のトランジスタQ 1 5, Q 1 6, Q 2 5, Q 2 6に供給するバッファドクロック信号BC, BCBの各々の電位をトランジスタのベースエミッタ間電圧VBE分だけ低く設定するためのものである。

【0008】この従来の第1のフリップフロップ回路は、トランジスタQ 1 1~Q 1 4, Q 2 1~Q 2 4から成るデータ処理用の上段差動回路と、トランジスタQ 1 5, Q 1 6, Q 2 5, Q 2 6から成るクロック駆動用の下段差動回路とから構成される2段縦積みのダブルバランス型差動回路であり、クロックバッファ3のトランジスタQ 3 1, Q 3 2から成るエミッタフロウ回路により駆動しているため、1.5V以下の低電圧で動作させることは困難である。

【0009】上記欠点を緩和した特開平2-21717号公報(文献1)あるいは米国特許第4,977,335号記載の従来の第2のフリップフロップ回路を図8と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図9を参照すると、この従来の第2のフリップフロップ回路は、従来の第1のフリップフロップ回路のマスターRH 1, スレブRH 2の代りにダブルバランス型差動回路のデータ処理用の上段差動回路にそれぞれ相当するマスターRH 1A, スレブRH 2Aと、クロックバッファ3の代りに、ダブルバランス型差動回路のクロック駆動用の下段差動回路とそのバッファ回路に相当するクロック駆動回路4とを備える。

【0010】マスターRH 1Aは、トランジスタQ 1 1~Q 1 4と、抵抗R 1 1, R 1 2とに加えて抵抗R 1 1, R 1 2の電源側を共通接続しこの共通接続点と電源VCCとの間に接続した抵抗R 1 3と、トランジスタQ 1

3, Q14のエミッタ共通接続点およびトランジスタQ11, Q12のエミッタ共通接続点の各々と電源VSSとの間に接続した定電流源IS12, IS13とを備える。

【0011】スレブRH2Aは、トランジスタQ21~Q24と、抵抗R21, R22とに加えて抵抗R21, R22の電源側を共通接続しこの共通接続点と電源VCCとの間に接続した抵抗R23と、トランジスタQ23, Q24のエミッタ共通接続点およびトランジスタQ21, Q22のエミッタ共通接続点の各々と電源VSSとの間に接続した定電流源IS22, IS23とを備える。

【0012】クロック駆動回路4は、エミッタを共通接続し各々のベースにクロックC, CBの供給を受け各々のコレクタから増幅クロックCAB, CAを出力するトランジスタQ41, Q42と、トランジスタQ41, Q42の各々のコレクタと電源VCCとの間に接続した抵抗R41, R42と、トランジスタQ41, Q42のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS41と、各々のコレクタを電源VCCに接続し各々のベースに増幅クロックCABの供給を受け各々のエミッタをトランジスタQ41, Q42のエミッタ共通接続点およびトランジスタQ23, Q24のエミッタ共通接続点に各々に接続しトランジスタQ11~Q14, Q21~Q24よりサイズが大きいトランジスタQ43, Q44と、各々のコレクタを電源VCCに接続し各々のベースに増幅クロックCAの供給を受け各々のエミッタをトランジスタQ13, Q14のエミッタ共通接続点およびトランジスタQ21, Q22のエミッタ共通接続点の各々に接続しトランジスタQ11~Q14, Q21~Q24よりサイズが大きいトランジスタQ45, Q46とを備える。

【0013】次に、図9を参照して、従来の第2のフリップフロップ回路の動作について説明すると、真クロックCがHレベル、補クロックCBがLレベルのとき、トランジスタQ41, Q42はそれぞれHレベル、Lレベルの増幅クロックCAB, CAを出力し、これら増幅クロックCA, CABの供給にตอบสนองしてトランジスタQ43, Q44はオン状態、トランジスタQ45, Q46はオフ状態となる。トランジスタQ43は定電流源IS13の電流を供給することによりトランジスタQ11, Q12をオフ状態とし、一方トランジスタQ45はオフ状態であるためトランジスタQ13, Q14がオン状態となり定電流源IS12の電流を供給する。これによりマスターRH1Aがホールド状態となる。また、トランジスタQ44は定電流源IS22に電流を供給することによりトランジスタQ23, Q24をオフ状態とし、一方トランジスタQ46はオフ状態であるためトランジスタQ21, Q22がオン状態となり定電流源IS23の電流を供給する。これによりスレブRH2Aがラッチ状態と

なる。

【0014】逆に、クロックCがHレベル、クロックCBがLレベルのとき、トランジスタQ41, Q42はそれぞれLレベル、Hレベルの増幅クロックCAB, CAを出力し、トランジスタQ45, Q46はオン状態、トランジスタQ43, Q44はオフ状態となり、トランジスタQ11~Q14, Q21~Q24の各々は上記と逆の状態に変化し、マスターRH1Aがラッチ状態、スレブRH2Aがホールド状態となる。このようにしてこの回路もフリップフロップ動作を行う。

【0015】ここで、クロック駆動用のトランジスタQ43~Q46のサイズをデータ処理用のトランジスタQ11~Q14, Q21~Q24より大きくしたことと、負荷抵抗R11, R12およびR21, R22の各々の共通接続点と電源VCCとの間に抵抗13, 23を付加したこととにより、トランジスタQ11~Q14, Q21~Q24に対するトランジスタQ43~Q46の方の駆動能力に強制力を付与している。

【0016】

【発明が解決しようとする課題】上述した従来の第1のフリップフロップ回路は、データ処理用の上段差動回路とクロック駆動用の下段差動回路とから構成される2段縦積みのダブルバランス型差動回路であり、クロックバッファのエミッタホロウ回路により駆動しているため、1.5V以下の低電圧で動作させることは困難であるという欠点があった。

【0017】上記欠点の緩和を図った従来の第2のフリップフロップ回路は、最も高い周波数で動作するクロック駆動回路の入力段に増幅回路を必要とするため高速動作上不利であるという欠点があった。

【0018】またクロック駆動に強制力を付与するため駆動用トランジスタのサイズを大きくする必要があり素子規模の増大要因となるという欠点があった。

【0019】

【課題を解決するための手段】本発明のフリップフロップ回路は、真補のクロックに同期して真補の入力データをラッチあるいはホールドし真補のマスターデータを出力する第1のラッチホールド回路と、前記真補のクロックに同期して前記真補のマスターデータ対応の真補のスレブ入力データをラッチあるいはホールドし真補の出力データを出力する第2のラッチホールド回路と、前記真補のクロックの供給にตอบสนองして前記第1, 第2のラッチホールド回路が同期動作を行うよう駆動するクロック駆動回路とを備えるフリップフロップ回路において、前記第1のラッチホールド回路が、エミッタを共通接続し各々のベースに前記真補の入力データの各々の供給を受ける第1, 第2のトランジスタと、エミッタを相互に共通接続するとともに前記第1, 第2のトランジスタのエミッタ共通接続点とも共通接続し各々のコレクタを前記第1, 第2のトランジスタのコレクタと共通接続するとともに

たすき掛けに相互のベースに接続した第3、第4のトランジスタと、前記第1～第4のトランジスタのエミッタ共通接続点と第1の電源との間に接続した第1の定電流源と、各々の一端がそれぞれ前記真補のマスターデータを出力する第1、第3のトランジスタのコレクタ共通接続点および第2、第4のトランジスタのコレクタ共通接続点の各々に他端を第2の電源に接続した第1、第2の抵抗とを備え、前記第2のラッチホールド回路が、エミッタを共通接続し各々のベースに前記真補のスレブ入力データの各々の供給を受ける第5、第6のトランジスタと、エミッタを相互に共通接続するとともに前記第5、第6のトランジスタのエミッタ共通接続点とも共通接続し各々のコレクタを前記第5、第6のトランジスタのコレクタと共通接続するとともにたすき掛けに相互のベースに接続した第7、第8のトランジスタと、前記第5～第8のトランジスタのエミッタ共通接続点と前記第1の電源との間に接続した第2の定電流源と、各々の一端がそれぞれ前記真補の出力データを出力する第5、第7のトランジスタのコレクタ共通接続点および第6、第8のトランジスタのコレクタ共通接続点の各々に他端を前記第2の電源に接続した第3、第4の抵抗とを備え、前記クロック駆動回路が、前記真補のクロックの各々の供給に应答して前記真補の入力データの各々の電位レベルを引下げ前記真補のクロックの各々の供給に应答して前記真補のマスターデータの各々の電位レベルを引下げるブルダウン回路を備えて構成されている。

【0020】

【発明の実施の形態】次に、本発明の実施の形態を図3と共通の構成要素には共通の参照文字／数字を付して同様に回路図で示す図1を参照すると、この図に示す本実施の形態のフリップフロップ回路は、真補のバッファドクロックBC、BCBに同期して真補の増幅データDA、DABをラッチまたはホールドし真補のマスターデータM、MBを出力するマスターラッチ／ホールド回路(RH)1Bと、バッファドクロックBC、BCBに同期して増幅マスターデータMA、MABをラッチ／ホールドし真補の出力データQ、QBを出力するスレブRH2Bと、真補のデータD、DBの各々を増幅して真補の増幅データDAB、DAをそれぞれ出力しマスターRH1Bに供給するデータバッファ5と、真補のマスターデータM、MBの各々を増幅して真補の増幅マスターデータMAB、MAをそれぞれ出力しスレブRH2Bに供給するデータバッファ6と、真補のクロックC、CBをバッファリングしてバッファドクロックBC、BCBをマスターRH1、スレブRH2にそれぞれ供給するクロック駆動回路7とを備える。

【0021】マスターRH1Bは、エミッタを共通接続し各々のベースにデータDA、DABの供給を受けるトランジスタQ11、Q12と、エミッタを相互に共通接続するとともにトランジスタQ11、Q12のエミッタと

も共通接続し各々のコレクタをトランジスタQ11、Q12のコレクタと共通接続するとともにたすき掛けに相手のベースに接続したトランジスタQ13、Q14と、トランジスタQ11～Q14のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS11と、各々の一端がそれぞれマスターデータMB、Mを出力するトランジスタQ11、Q13のコレクタ共通接続点およびトランジスタQ12、Q14のコレクタ共通接続点の各々に他端を共通接続した抵抗R11、R12と、抵抗R11、R12の共通接続した他端と電源VCCとの間にそれぞれ接続した抵抗R13とを備える。

【0022】スレブRH2Bは、エミッタを共通接続し各々のベースにマスターデータMA、MABの供給を受けるトランジスタQ21、Q22と、エミッタを相互に共通接続するとともにトランジスタQ21、Q22のエミッタとも共通接続し各々のコレクタをトランジスタQ21、Q22のコレクタと共通接続するとともにたすき掛けに相手のベースに接続したトランジスタQ23、Q24と、トランジスタQ21～Q24のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS21と、各々の一端がそれぞれ出力データQB、Qを出力するトランジスタQ21、Q23のコレクタ共通接続点およびトランジスタQ22、Q24のコレクタ共通接続点の各々に他端を共通接続した抵抗R21、R22と、抵抗R21、R22の共通接続した他端と電源VCCとの間にそれぞれ接続した抵抗R23とを備える。

【0023】データバッファ5は、エミッタを共通接続し各々のベースにデータD、DBの供給を受け各々のコレクタから増幅データDAB、DAを出力するトランジスタQ51、Q52と、トランジスタQ51、Q52の各々のコレクタと電源VCCとの間に接続した抵抗R51、R52と、トランジスタQ51、Q52のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS51とを備える。

【0024】データバッファ6は、エミッタを共通接続し各々のベースにマスターデータM、MBの供給を受け各々のコレクタから増幅マスターデータMAB、MAを出力するトランジスタQ61、Q62と、トランジスタQ61、Q62の各々のコレクタと電源VCCとの間に接続した抵抗R61、R62と、トランジスタQ61、Q62のエミッタ共通接続点と電源VSSとの間に接続した定電流源IS61とを備える。

【0025】クロック駆動回路7は、エミッタを共通接続し各々のベースにクロックC、CBの供給を受け各々のコレクタをそれぞれトランジスタ51、61のコレクタに接続したトランジスタQ71、Q72と、エミッタを共通接続し各々のベースにクロックC、CBの供給を受け各々のコレクタをそれぞれトランジスタ52、62のコレクタに接続したトランジスタQ73、Q74と、トランジスタQ71、Q72のエミッタ共通接続点および

びトランジスタQ73, Q74のエミッタ共通接続点の各々と電源VSSとの間に接続した定電流源IS71, IS72とを備える。

【0026】次に、図1を参照して本実施の形態の動作について説明すると、入力データD, DBは、データバッファ5のトランジスタQ51, Q52で増幅され増幅データDAB, DAを生成する。クロックCがL, クロックCBがHのとき、トランジスタQ72, Q74がオン、トランジスタQ71, Q73がオフとなる。したがって、トランジスタQ51, Q52のコレクタ電位すなわち増幅データDAB, DAの各々の電位はトランジスタQ71, Q73が存在しない場合と同様となり、これら増幅データDAB, DAの各々の電位のHレベルまたはLレベルに応じてトランジスタQ11, Q12はそれぞれオンまたはオフしてデータをラッチする。ここで負荷抵抗R11, R12の電源側に挿入した抵抗R13はマスターRH1Bの出力であるマスターデータM, MAのHレベルを増幅データDAB, DAのHレベルより低下させることにより、データを確実にラッチするためのものである。

【0027】データバッファ回路6は、マスターデータM, MAを増幅し、増幅マスターデータMAB, MAを生成する。上述のように、トランジスタQ72, Q74はオン状態でありそれぞれトランジスタQ61, Q62のコレクタ電位すなわち増幅マスターデータMAB, MAをプルダウンしていずれもLレベルとなる。したがって、スレブRH2BはトランジスタQ21, Q22がいずれもオフとなり、ホールド状態となる。この結果、出力データQ, QBとしてホールド状態のトランジスタQ23, Q24のデータを出力する。

【0028】逆に、クロックCがL, クロックCBがHのとき、トランジスタQ71, Q73がオン、トランジスタQ72, Q74がオフとなり、増幅データDAB, DAの各々がプルダウンされてLレベルとなり、このLレベルに応じてトランジスタQ11, Q12はそれぞれオフ状態となりデータをホールドする。データバッファ回路6は、ホールドされたマスターデータM, MA対応の増幅マスターデータMAB, MAを生成する。トランジスタQ72, Q74のオフ状態のため、スレブRH2Bは増幅マスターデータMAB, MAのレベルに応じてトランジスタQ21, Q22がオンまたはオフしてデータをラッチする。このように本実施の形態のフリップフロップ回路はマスタスレブフリップフロップの動作を行う。

【0029】本実施の形態のフリップフロップ回路は、全ての要素回路において、所要動作電圧に関係するトランジスタのベースエミッタ間電圧VBEの1段分しか縦積みが必要としない構成しているため、1V以下の低電圧で動作可能である。

【0030】次に、本発明の第2の実施の形態を図1と共通の構成要素には共通の参照文字/数字を付して同様

に回路図で示す図2を参照すると、この実施の形態の前述の第1の実施の形態との相違点は、データバッファ5が入力データD, DBとして帰還した出力データQB, Qの供給を受けて増幅帰還データQA, QABを生成しマスターRH1Bに供給する帰還バッファとして動作し、全体としてクロックC, CBの1/2の周波数の出力データQ, QBを出力するマスタスレブTフリップフロップとして動作することである。

【0031】図2, および動作波形の一例を示す波形図である図3(A)を参照して本実施の形態の動作について説明すると、クロックCがHレベルのとき、第1の実施の形態と同様に、スレブRH2Bはデータバッファ6の出力すなわち増幅マスターデータMA, MABをラッチして、出力データQ, QBを反転させる。次に、クロックCがLレベルのとき、スレブRH2Bは出力データQ, QBをホールドする(グラフA)。図3(A)の動作例では、電源電圧1V, クロックCの周波数500MHzであり、消費電流ICCは0.5mAである。この図には、比較のため、従来の第2のフリップフロップ回路において、出力Q, QBの各々を入力補真データDB, Dとして帰還して構成したTフリップフロップの動作波形を併せて示し、正常に動作していることを示す(グラフB)。

【0032】次に、電源電圧を0.87Vに低下した場合の、本実施の形態および従来の第2のフリップフロップ回路の動作波形をそれぞれ示す図3(B)を参照すると、消費電流ICCは0.18mAに減少したため出力振幅は低下するものの両回路とも正常に動作している。出力振幅は従来の第2の回路の方が小さいが、これは本実施の形態のデータ信号増幅用のデータバッファに相当する回路を備えていないためである。

【0033】次に、電源電圧を0.87Vに低下した場合の、本実施の形態および従来の第2のフリップフロップ回路の動作波形をそれぞれ示す図4を参照すると、消費電流ICCは0.13mAにさらに減少し、グラフAの本実施の形態の回路は正常に動作しているのに対し、グラフBの従来の第2の回路は誤動作している。なお、これらの回路で用いた定電流源ISは公知の電源VC, VSSとの間に抵抗とダイオードとの直列接続により構成されるリファレンスを用いたカレントミラー回路とした。また、公知のバンドギャップリファレンスを用いても、電源電圧が0.87~0.84Vの領域では同様な減電圧特性を示す。

【0034】次に、本発明の第3の実施の形態を図1と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図5を参照すると、この実施の形態の前述の第1の実施の形態との相違点は、マスターRH1B, スレブRH2Bの各々の抵抗R13, R23を削除すなわち0ΩとしたマスターRH1C, スレブRH2Cを備えることである。

【0035】第1の実施の形態の動作において説明したように、これら抵抗R13、R23はマスタデータM、MAおよび出力データQ、QBの各々のHレベルを増幅データDAB、DAおよび増幅マスタデータMA、MABの各々のHレベルより低下させることにより、データを確実にラッチするためのレベルシフト用である。そのレベルシフト量は、抵抗R13、R23の値と定電流源IS11、IS21の値により決まる。しかし、上述したように、上記レベルシフト量が0の場合でも、例えばマスタRH1Cについては、トランジスタQ11、Q12から成る差動対とトランジスタQ13、Q14から成る差動対とは正帰還回路を構成しているため増幅データDAB、DAのラッチが可能である。スレブRH2Bについても同様である。したがって、本実施の形態の回路は第1の実施の形態の回路と同様の動作を行う。

【0036】次に、本発明の第4の実施の形態を図5と共通の構成要素には共通の参照文字／数字を付して同様に回路図で示す図6を参照すると、この実施の形態の前述の第1の実施の形態との相違点は、データバッファ5、6を削除し、マスタRH1Cが入力データD、DBとして帰還した出力データQB、Qの供給を受けて動作し、全体としてクロックC、CBの1/2の周波数の出力データQ、QBを出力するマスタスレブTフリップフロップとして動作することである。

【0037】これにより、第2の従来の回路よりも素子数と消費電流とを削減できる。

【0038】なお、本実施の形態のTフリップフロップに限らず、複数のDフリップフロップの縦続接続による他の回路にも適用可能である。

【0039】次に、本発明の第5の実施の形態を特徴づけるラッチ／ホールド回路(RH)1Dの構成を図1と共通の構成要素には共通の参照文字／数字を付して同様に回路図で示す図7を参照すると、この実施の形態の前述の第1の実施の形態のマスタラッチRH1Bとの相違点は、クロックCの供給にตอบสนองしてデータD、DBのレベルをLレベルにプルダウンするプルダウン回路8を備えることである。

【0040】プルダウン回路8はクロックCの供給にตอบสนองしてデータD、DBの入力端子より電流を引抜くことによりプルダウン動作をする。プルダウン回路8が電流引抜き動作をしない場合は、データD、DBの入力端子のレベルがHレベルとなりトランジスタQ11、Q12の差動対はデータD、DBをラッチし、次段への出力データM、MBを出力する。逆に、プルダウン回路8が電流引抜き動作をしない場合は、データD、DBの入力端子のレベルがLレベルとなるためトランジスタQ11、Q12の差動対がデータをホールドし、このホールドした

データを出力データM、MBとして出力する。

【0041】本実施の形態において、第3の実施の形態のマスタRH1Cと同様に抵抗R13を削除してもよく、この場合も同一の動作を行う。

【0042】

【発明の効果】以上説明したように、本発明のフリップフロップ回路は、データをラッチホールドし第1、第2の電源間に縦積みトランジスタ数が一段のみの差動対から成るラッチホールド回路を備え、クロック駆動回路が、真補のクロックの各々の供給にตอบสนองして上記ラッチホールド回路の真補の入力データの各々の電位レベルを引下げるプルダウン機能を有しているため、1V以下の低電圧動作を可能とするという効果がある。

【図面の簡単な説明】

【図1】本発明のフリップフロップ回路の第1の実施の形態を示す回路図である。

【図2】本発明のフリップフロップ回路の第2の実施の形態を示す回路図である。

【図3】本実施の形態のフリップフロップ回路における動作の一例を従来の回路と比較して示す波形図である。

【図4】本実施の形態のフリップフロップ回路における低電圧動作の一例を従来の回路と比較して示す波形図である。

【図5】本発明のフリップフロップ回路の第3の実施の形態を示す回路図である。

【図6】本発明のフリップフロップ回路の第4の実施の形態を示す回路図である。

【図7】本発明のフリップフロップ回路の第5の実施の形態を示す回路図である。

【図8】従来の第1のフリップフロップ回路の一例を示す回路図である。

【図9】従来の第2のフリップフロップ回路の一例を示す回路図である。

【符号の説明】

1, 1A, 1B, 1C, 1D マスタRH

2, 2A, 2B, 2C スレブRH

3 クロックバッファ

4, 7 クロック駆動回路

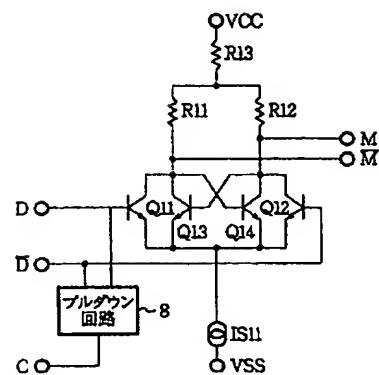
5, 6 データバッファ

Q11~Q16, Q21~Q26, Q31, Q32, Q41~Q45, Q51, Q52, Q61, Q62, Q71~Q74 トランジスタ

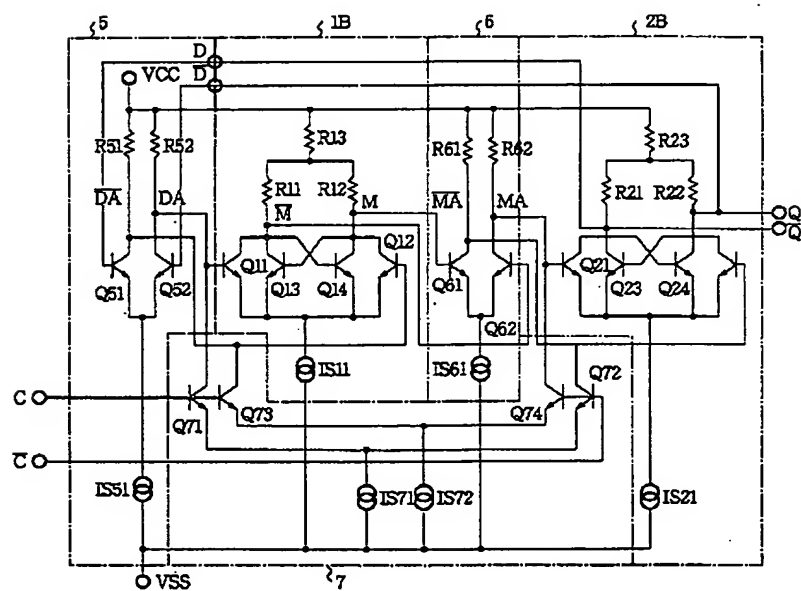
R11~R13, R21~R23, R31, R32, R41, R42, R51, R52, R61, R62 抵抗

IS11~IS13, IS21~IS23, IS31, IS32, IS41, IS51, IS61, IS71, IS72 定電流源

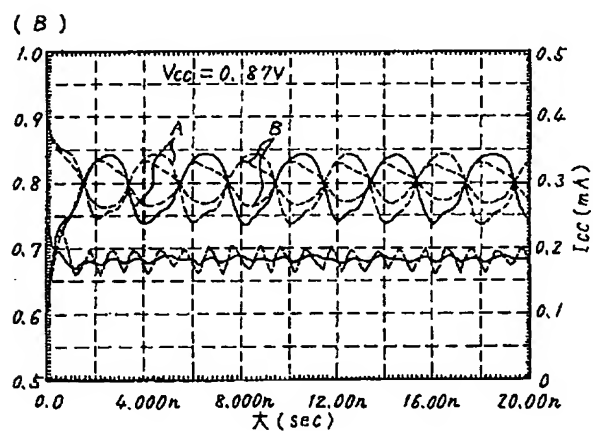
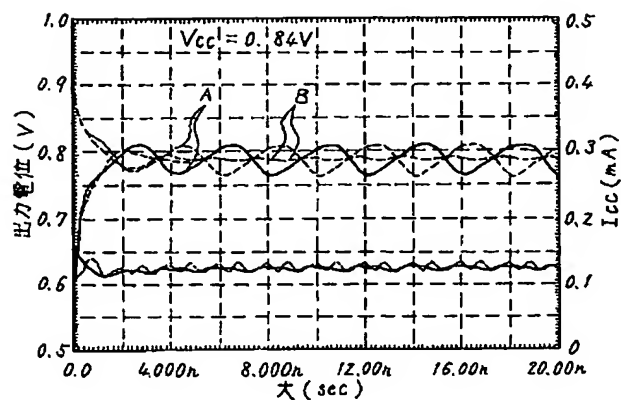
【图 7】



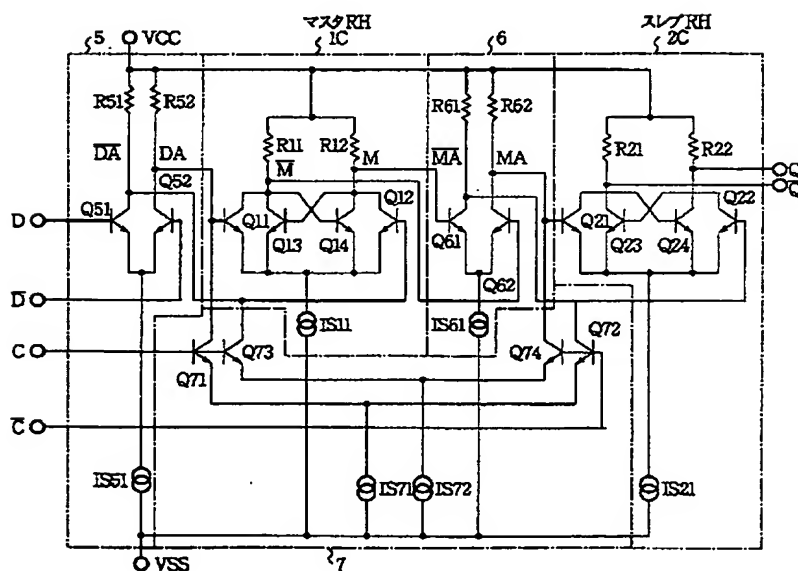
【圖 2】



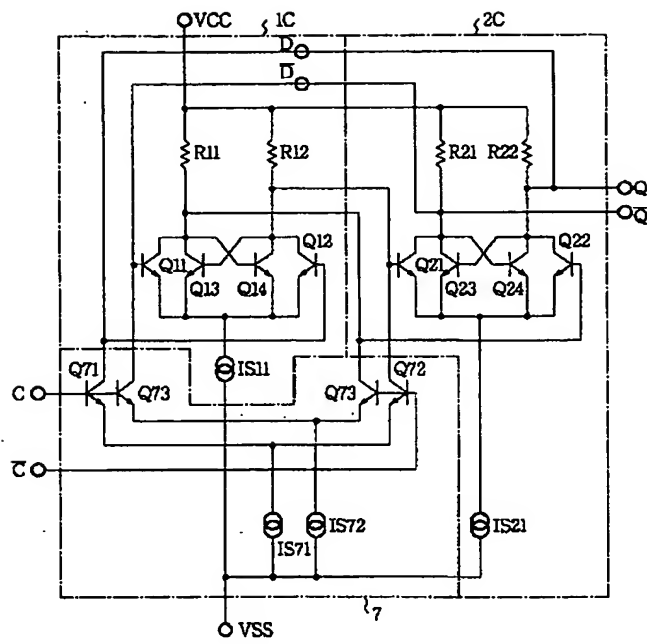
【圖 4】



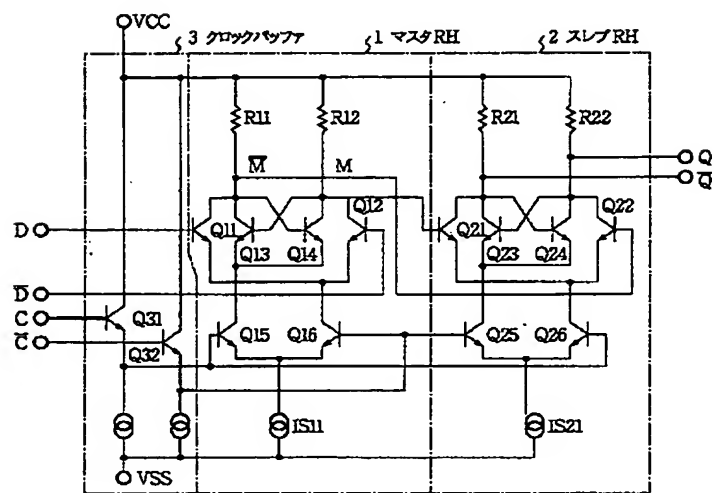
【图 5】



【図 6】



【図 8】



00

00

